

PATENT COOPERATION TREATY

PCT

NOTICE INFORMING THE APPLICANT OF THE
COMMUNICATION OF THE INTERNATIONAL
APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

From the INTERNATIONAL BUREAU

To:

AMAGAI, Masahiko
Amagai T kkyo Jimusyo
Kitashinjuku OC Building, 2nd Floor
8-15, Kitashinjuku 1-ch me
Shinjuku-ku
Tokyo 169-0074
JAPON

Date of mailing (day/month/year) 18 January 2001 (18.01.01)		
Applicant's or agent's file reference NSP0242P		IMPORTANT NOTICE
International application No. PCT/JP00/04493	International filing date (day/month/year) 06 July 2000 (06.07.00)	
Priority date (day/month/year) 07 July 1999 (07.07.99)		
Applicant NIIGATA SEIMITSU CO., LTD. et al		

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:

US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:

CN,EP

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on 18 January 2001 (18.01.01) under No. WO 01/04918

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile N . (41-22) 740.14.35	Authorized officer J. Zahra Telephone No. (41-22) 338.83.38
--	---

Express Mail #EL778107613US

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 1 月 18 日 (18.01.2001)

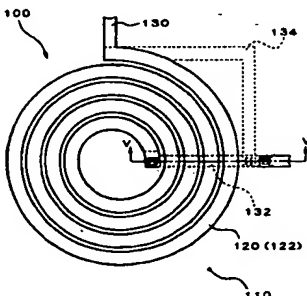
PCT

(10) 国際公開番号
WO 01/04918 A1

- (51) 国際特許分類⁷: H01F 17/00
- (21) 国際出願番号: PCT/JP00/04493
- (22) 国際出願日: 2000 年 7 月 6 日 (06.07.2000)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願平 11/192675 1999 年 7 月 7 日 (07.07.1999) JP
- (71) 出願人 (米国を除く全ての指定国について): 新潟精密株式会社 (NIIGATA SEIMITSU CO., LTD.) [JP/JP]; 〒943-0834 新潟県上越市西城町 2 丁目 5 番 13 号 Niigata (JP).
- (72) 発明者; および
- (74) 発明者/出願人 (米国についてのみ): 岡本 明
- (OKAMOTO, Akira) [JP/JP]; 〒362-0015 埼玉県上尾市緑丘 4 丁目 7-17 Saitama (JP). 池田 毅 (IKEDA, Takeshi) [JP/JP]; 〒143-0023 東京都大田区山王 2 丁目 5 番 6-213 Tokyo (JP).
- (74) 代理人: 弁理士 雨貝正彦 (AMAGAI, Masahiko); 〒169-0074 東京都新宿区北新宿 1 丁目 8 番 15 号 北新宿 OCビル 2 階 雨貝特許事務所 Tokyo (JP).
- (81) 指定国 (国内): CN, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: INDUCTOR ELEMENT

(54) 発明の名称: インダクタ素子



(57) Abstract: An inductor element capable of functioning properly on a substrate is provided. An inductor element (100) includes two spiral conductors (120, 122) formed on the surface of a semiconductor substrate (110). The upper conductor (120) and the lower conductor (122) have substantially the same shape, and the inner end of the conductor (120) is connected electrically with the outer end of the conductor (122). The outer and inner ends of the conductor (120) are connected with leads (130, 132), respectively, and the lead (132) connected to the inner end is led between the lower conductor (122) and the semiconductor substrate (110) to the periphery of the substrate.

WO 01/04918 A1

[続葉有]

Express Mail #EL778107613 US



(57) 要約:

基板上に形成した場合であっても有効に機能するインダクタ素子を提供することを目的とする。インダクタ素子100は、半導体基板110の表面に形成された渦巻き形状の2本の導体120、122を有している。上層の導体120と下層の導体122は、ほぼ同一形状を有しており、導体120の内周端と導体122の外周端とが電氣的に接続されている。また、導体120の外周端と内周端のそれぞれには引出線130、132が接続されており、内周端に接続された引出線132は、下層の導体122と半導体基板110との間を通して外周側に引き出される。

明 細 書

インダクタ素子

技術分野

本発明は、半導体基板等の各種の基板上に形成されるインダクタ素子に関する。

背景技術

半導体基板上に薄膜成形技術を利用して渦巻き形状のパターン電極を形成し、このパターン電極をインダクタ素子として利用する半導体回路が知られている。このような半導体基板上に形成されたインダクタ素子に電流が流れると、渦巻き形状のパターン電極に垂直な方向に磁束が発生するが、この磁束によって半導体基板表面に渦電流が発生して有効磁束を打ち消すため、インダクタ素子として有効に機能しなくなるという問題がある。特に、インダクタ素子に流れる信号の周波数が高くなるほどこの傾向が顕著であり、インダクタ素子を含む高周波回路を半導体基板上に形成することは難しい。

発明の開示

本発明は、このような点に鑑みて創作されたものであり、その目的は、基板上に形成した場合であっても有効に機能するインダクタ素子を提供することにある。

本発明のインダクタ素子は、互いに絶縁された状態で基板上に重ねて形成されてそれぞれの一方端同士が接続された2つの導体を有しており、基板から離間した一方の導体をインダクタ導体として用いるとともに、基板に接近した他方の導体と基板との間を通して、このインダクタ導体の引出線を引き出している。一方端同士が接続された2つの導体を基板上で重ねて配置し、基板から離れた側の導体をインダクタ導体として用いた場合に、このインダクタ導体を基板上に形成しても渦電流等によってインダクタンス成分が消失せず所定のインダクタンスを有することが実験により確かめられている。特に、このインダクタ導体の引出線を、他方の導体と基板との間を通して引き出すことにより、インダクタ導体によ

って発生する有効磁束の流れを遮ることを最小限に抑えることができ、良好な特性を得ることができる。

特に、上述した基板上に3層以上の金属層を形成し、互いに1層以上隔たった異なる層の金属層を用いて、上述した2つの導体と引出線のそれぞれを形成することが望ましい。このような構造とすることにより、インダクタ導体と引出線とを少なくとも2層以上離すことができるため、引出線を流れる電流による影響をさらに少なくすることができる。

また、2つの導体の一方端同士の接続を、インダクタ導体の一方端から延びる引出線の一部を利用して行うことが望ましい。インダクタ導体と交差する導線（引出線および接続線）の本数を減らすことができるため、インダクタ導体によって発生する有効磁束の流れを遮る程度をさらに低減することができる。また、各導体や引出線を露光装置等を用いて製造する場合に、マスクの形状を簡略化することができるため、製造コストおよび製造に要する手間を軽減することができる。

また、本発明のインダクタ素子は、互いに絶縁された状態で基板上に重ねて形成され、それぞれの一方端同士が接続された2つの導体を有しており、基板から離間した一方の導体をインダクタ導体として用いるとともに、他方の導体の端部であってインダクタ導体に接続されていない側を所定のインピーダンス素子で終端している。インダクタ導体によって発生する有効磁束によって他方の導体にも電流が流れるが、この他方の導体の自由端側の端部をインピーダンス素子で終端することにより、この部分での不要反射を防止して特性改善を行うことが可能になる。また、インピーダンス素子を抵抗、キャパシタ、インダクタのいずれを用いて、あるいはこれらをどのように組み合わせて形成するかによって、他方の導体の周波数特性等を調整することができるため、インピーダンス素子の素子定数を適切な値に調整することによる特性改善も可能になる。

また、上述したインピーダンス素子を構成する抵抗、キャパシタ、インダクタの少なくとも一つの素子定数を変更可能にして、この素子定数を可変することにより終端条件を調整することが望ましい。外部から何らかの手段によって、例えば印加する制御電圧の値を変更することによって、インピーダンス素子全体の素

子定数、すなわち終端条件の変更によるインダクタ素子の特性の調整が可能になる。

特に、上述した基板が半導体基板である場合に、素子定数が変更可能なキャパシタを可変容量ダイオードによって形成することが望ましい。半導体基板を利用して形成した可変容量ダイオードを用いることにより、部品の小型化が可能であるとともに、後から外付け部品を付けて配線等を行う場合に比べて製造工程の簡略化による製造コストの低減が可能になる。同様に、上述した基板が半導体基板である場合に、チャネルを抵抗体として用いたFETによって形成することが望ましい。半導体基板を利用して形成したFETによる可変抵抗を用いることにより、部品の小型化が可能であるとともに、後から外付け部品を付けて配線等を行う場合に比べて製造工程の簡略化による製造コストの低減が可能になる。

また、インピーダンス素子を構成するインダクタは、基板上に所定形状に形成された導体層によって形成することが望ましい。導体の一方端を終端するために用いられるインダクタには高いQが要求されないため、基板上の導体パターンによって実現することが可能であり、しかもこの導体パターンを各種の配線等を行う金属層を利用して同じ工程で形成することが可能になるため、部品の小型化、工程の簡略化およびこれに伴うコストダウンが可能になる。

また、上述した2つの導体は、ほぼ同一形状あるいは長尺形状に形成することが望ましい。同一形状とすることにより、上層の導体が基板表面と直接対向することがないため、直接対向させたときに基板上に生じる渦電流を低減することができる。また、2つの導体の形状を長尺形状とすることにより、上層の導体に所定のインダクタンスを持たせることができる。特に、導体を1周以上の渦巻き形状あるいは蛇行形状に形成した場合には、大きなインダクタンスを持たせることができるため、比較的低い周波数の回路に組み込む場合に適している。また、導体を1周未満の周回形状あるいはほぼ直線形状に形成した場合には、渦巻き形状等に形成した場合に比べてインダクタンスを小さくすることができるため、比較的高い周波数の回路に組み込む場合に適している。

また、2つの導体を渦巻き形状とした場合には、一方の導体の内周端と他方の導体の外周端とを接続することが望ましい。このような接続を行うことにより、

基板上にインダクタ導体を形成した状態でさらに大きなインダクタンスを確保できることが実験により確かめられており、基板上で有効に機能するインダクタ素子を実現することができる。特に、周回数が1周以上の渦巻き形状の場合には、この渦巻き形状のインダクタ導体の内周側端部から引出線を延ばす必要があるが、基板に近い導体と基板との間を通してこの引出線を引き出すことにより、インダクタ導体によって発生する有効磁束の流れを遮ることを最小限に抑えることができる。

また、上述したインダクタ素子は、インダクタンス成分とともにキャパシタンス成分を有する複合素子としての使用に適している。このインダクタ素子は、互いに重なり合った2つの導体を有しており、その特性にはキャパシタンス成分も含まれるため、インダクタやキャパシタと組み合わせて回路の一部とするような用途に用いることができる。

図面の簡単な説明

図1は、第1の実施形態のインダクタ素子の平面構造を示す図、

図2は、図1に示したインダクタ素子に含まれる上層の導体を示す図、

図3は、図1に示したインダクタ素子に含まれる下層の導体の形状を示す図、

図4は、インダクタ導体に含まれる2本の導体の接続状態を示す図、

図5は、図1のV-V線拡大断面図、

図6は、実験結果を示す図、

図7は、実験結果を示す図、

図8は、実験結果を示す図、

図9は、実験結果を示す図、

図10は、インダクタ素子を含む発振回路の回路図、

図11は、図10に示す発振回路の出力特性を示す図、

図12は、図10に示す発振回路の出力特性を示す図、

図13は、第2実施形態のインダクタ素子の構造を示す図、

図14は、下層の導体の内周端に可変容量ダイオードを接続する場合の構成を示す図、

図15は、図14に示した可変容量ダイオードを半導体基板上に形成した場合の断面構造を示す図、

図16は、下層の導体の内周端に可変抵抗を接続する場合の構成を示す図、

図17は、インダクタ素子に含まれる導体の変形例を示す図、

図18は、インダクタ素子に含まれる導体の変形例を示す図、

図19は、インダクタ素子に含まれる導体の変形例を示す図、

図20は、2つの導体の端部同士を接続する接続線を省略したインダクタ素子の変形例を示す図である。

発明を実施するための最良の形態

以下、本発明を適用した一実施形態のインダクタ素子について、図面を参照しながら具体的に説明する。

〔第1の実施形態〕

図1は、第1の実施形態のインダクタ素子の平面構造を示す図である。また、図2は図1に示したインダクタ素子に含まれる上層の導体を示す図である。図3は図1に示したインダクタ素子に含まれる下層の導体の形状を示す図である。

本実施形態のインダクタ素子100は、半導体基板110の表面に形成された渦巻き形状の2本の導体120、122を有している。これら2本の導体120、122は、ほぼ同一形状を有しており、半導体基板110の表面側から見たときに、上層となる一方の導体120と下層となる他方の導体122とがほぼ重なるように配置されている。各導体120、122は、例えば金属薄膜（金属層）、あるいはポリシリコン等の半導体材料によって形成されている。

図4は、上述した2本の導体120、122の接続状態を示す図である。図4に示すように、上層の導体120の外周端（外縁端）と内周端（中心端）のそれぞれには、引出線130、132が接続されており、上層の導体120の内周端と下層の導体122の外周端とが接続線134によって接続されている。

上層の導体120は、インダクタ導体として機能しており、その両端に接続された引出線130、132を介して、半導体基板110上に形成された回路（図示せず）に接続される。

図5は、図1のV-V線拡大断面図である。図4および図5に示すように、半導体基板110の表面には、少なくとも3層の金属層160、162、164が形成されており、半導体基板110から最も離間した最上層の金属層160を用いてインダクタ導体としての一方の導体120が形成され、中層の金属層162を用いて他方の導体122が形成されている。

また、最上層の導体120の内周端から引き出される引出線132は、半導体基板110に最も近い最下層の金属層164を用いて形成されている。例えば、図5に示すように、導体120の内周端と引出線132の一方端とがスルーホール150を介して接続されており、最下層の金属層164によって形成された引出線132が渦巻き形状のインダクタ導体の各周回部分と直交するように外周側に向けて引き出される。なお、3つの金属層160、162、164を用いて形成される導体120、122、引出線132および半導体基板110の間には絶縁層140、142、144が形成されており、相互の絶縁が行われる。

本実施形態のインダクタ素子100は上述した構造を有しており、上層の導体120の両端のそれぞれに接続された引出線130、132の間に所定のインダクタンスが現れるため、この上層の導体120をインダクタ導体として用いることができる。また、この上層の導体120の下側に、この導体120とほぼ同一形状を有する導体122を形成し、互いの一方端同士を接続線134で接続することにより、上層の導体122をインダクタ導体として使用した際に半導体基板110の表面の渦電流の発生を抑えることができ、上層の導体120をインダクタ導体として有効に機能させることができる。

また、本実施形態のインダクタ素子100においては、インダクタ導体としての上層の導体120の内周端から引き出される引出線132は、最下層の金属層164を用いて形成されており、インダクタ導体からは他方の導体122を挟んだ最も離間した位置に配置されている。したがって、インダクタ導体によって発生する有効磁束の流れを遮ることを最小限に抑えることができ、良好な特性を得ることができる。このように、本実施形態のインダクタ素子100は、半導体基板110の表面の少なくとも3層の金属層160、162、164を用いて形成

することができるため、半導体基板 110 上に他の部品とともに一体形成して集積化することが可能になる。

ところで、本出願人は、上述した 2 つの導体 120、122 を基板上に重ねて配置するとともに、それぞれの一方端同士を接続して形成されるインダクタ素子の有効性について、各種の実験を行っており、その実験結果に基づく出願（特願平 10-93869 号）を既に行っている。本実施形態のインダクタ素子 100 はその改良であり、2 つの導体 120、122 が 2 層構造を有していることを利用して、引出線 132 の引き出し位置を工夫することにより、特性の改善を図ったものである。例えば、半導体基板やその他の基板上に単に渦巻き形状のインダクタ導体を形成した場合を考えると、このインダクタ導体が形成されている金属層に隣接する上層あるいは下層の金属層を用いて引出線を形成しても、インダクタ層と引出線とが接近して配置されることに変わりはなく、インダクタ導体によって発生する有効磁束を遮ることになる。しかし、本実施形態のインダクタ素子 100 では、インダクタ導体としての一方の導体 120 と引出線 132 との間に他方の導体 122 が配置されているため、インダクタ導体 120 と交差するように引出線 132 を引き出した場合の有効磁束の乱れを低減することができる。

以下、上述した出願（特願平 10-93869 号）で示した実験結果を引用して、本実施形態のインダクタ素子の有効性を説明する。

図 6 は、インダクタ素子 100 に含まれる導体 120 と同じ形状の 1 層の電極を有するインダクタ素子の順方向利得を測定した結果を示す図である。また、図 7 はインダクタ素子 100 に含まれる導体 120 と同じ形状の 1 層の電極を有するインダクタ素子の順方向利得であって、このインダクタ素子に導体基板を密着させた場合の特性が示されている。

これらの測定に用いたインダクタ素子は、厚さ 0.13 mm、比誘電率 3.17 の絶縁部材の表面に、パターン幅が 1 mm、周回するパターンの隣接間隔が 0.2 mm、周回数が 5 ターンの電極が形成されたものが用いられている。図 6 に示した特性は、このインダクタ素子を他の導電性部材から充分離間した状態で測定したものである。また、図 7 に示した特性は、このインダクタ素子の反電極側の絶縁部材表面に銅板を密着させた状態で測定したものである。なお、図 6 および

図7（後述する図8および図9も同様）の縦軸は対数表示した順方向利得（減衰量）を、横軸は対数表示した入力信号の周波数をそれぞれ示している。

渦巻き形状を有する1層の電極からなるインダクタ素子は、他の導電性部材から充分離間した状態では、図6に示すように、入力信号の周波数が高くなればなるほどその順方向利得が小さくなる。これは、所定のインダクタンス L を有するインダクタ素子のインピーダンスは $j\omega L$ であって、入力信号の周波数に比例して大きくなるためである。

これに対し、このインダクタ素子を銅板に密着させた状態では、図7に示すように、入力信号が変化しても高い順方向利得が維持される。これは、このインダクタ素子が有するインダクタンスが銅板を接近させることにより小さくなったために、本来のインダクタとして機能しなくなったことを示している。インダクタンスが小さくなった原因としては、電極に信号が入力されたときに発生する磁束によって銅板表面に渦電流が生じてこの磁束を打ち消すことが考えられる。

なお、上述した測定では、基板として銅板を用いたが、銅板の代わりに半導体基板を用いた場合であっても、基本的には同様の現象が起こる。

図8は、インダクタ素子100に含まれる2本の導体120、122と同じ形状および配置の2層の電極を有するインダクタ素子の順方向利得を測定した結果を示す図である。また、図9はインダクタ素子100に含まれる2本の導体120、122と同じ形状および配置の2本の電極を有するインダクタ素子の順方向利得であって、このインダクタ素子に銅板を密着させた場合の特性が示されている。

これらの測定に用いたインダクタ素子は、図6および図7に測定結果を示したインダクタ素子に対して、図1に示した導体122に対応する電極を追加した構造を有している。なお、このインダクタ素子に銅板を密着させる場合には、充分に薄い絶縁部材を介して下層の電極と銅板とが配置されている。

渦巻き形状を有する2層の電極を対向配置したインダクタ素子は、他の導電性部材から充分離間した状態では、図8に示す順方向利得特性からわかるように、117MHz近傍に共振点が現れる。これは、一方の電極がインダクタ導体として機能するとともに、2本の電極間にキャパシタンスが生じるため、このインダ

クタ素子全体としてはインダクタンス成分とキャパシタンス成分を有する複合素子として機能するためである。

また、このインダクタ素子を銅板に密着させた状態では、図9に示すように、共振点の位置（135MHz）がずれるが、同じような共振点が見れる。これは、上述した電極の2重構造を有するインダクタ素子を用いることにより、銅板を密着させてもそのインダクタンス成分が消失することがなく、インダクタ導体としての機能を維持していることを示している。

なお、2重構造の電極を有するインダクタ素子は、2本の電極間のキャパシタンスが必ず付随するため、用途としてはその共振特性を利用した回路の一部品として使用することが好ましい。例えば、発振回路、同調回路等に含まれるインダクタ素子100として用いることが好ましい。

次に、上述した本実施形態のインダクタ素子100を実際の回路の一部品として用いた場合の具体例を説明する。

図10は、本実施形態のインダクタ素子100を用いて構成される発振回路の例であり、クラップ発振回路の構成が示されている。このクラップ発振回路では、2つのキャパシタ20、22のキャパシタンスがトランジスタ24の端子間容量の数十倍になるように設定されており、キャパシタ28を介してインダクタ素子30が接続されている。

図11は、図10に示したクラップ発振回路のインダクタ素子30として、図6に順方向利得の測定結果を示した1層の電極を有するインダクタ素子を用いた場合の発振回路の出力特性を示す図である。図11に示すように、119MHzの発振周波数が観察された。

また、図12は、図10に示したクラップ発振回路のインダクタ素子30として、図9に順方向利得の測定結果を示した2層の電極を銅板に密着させたインダクタ素子を用いた場合の発振回路の出力特性を示す図である。図12に示すように、127MHzの発振周波数が観察された。

このように、電極を2層構造としたインダクタ素子は、その一方（インダクタ導体として使用する電極と反対側）に銅板を密着させても、そのインダクタンス成分が消失せずにインダクタ導体として機能していることがわかる。したがって、

基本的に同じ構造を有する本実施形態のインダクタ素子 100 は、上層の導体 120 の他に下層の導体 122 を備えることによって、半導体基板 110 表面に密着するように形成した場合であっても、所定のインダクタンスを有するインダクタ素子として有効に機能することができる。

〔第 2 の実施形態〕

図 13 は、第 2 の実施形態のインダクタ素子 100 A の構造を示す図であり、図 4 に示した第 1 の実施形態のインダクタ素子 100 に対して所定のインピーダンス素子 200 を追加した点が異なっている。

すなわち、上述した第 1 の実施形態のインダクタ素子 100 では、インダクタ導体としての一方の導体 120 とほぼ重なるように配置された他方の導体 122 に着目すると、一方の端部（図 1 に示した例では外周端）のみが接続線 134 に接続されており、内周側が自由端（オープンの状態）になっている。本実施形態では、導体 122 の内周端をインピーダンス素子 200 によって終端することにより、インダクタ素子 100 A 全体の特性を改善あるいは調整することができる。

例えば、インダクタ素子 100 A の一方の導体 120 に電流が流れたときに、他方の導体 122 に誘導電流あるいは接続線 134 を介して直接流れ込む電流が生じるが、他方の導体 122 の内周端をインピーダンス素子 200 を介して終端することにより、この内周端における不要反射を防止することができる。また、インピーダンス素子 200 の素子定数を調整あるいは変更することにより、インダクタ素子 100 A を含む回路の周波数特性の改善や変更が容易となる。例えば、周波数を低くしたい場合にはインピーダンス素子 200 としてインダクタを使用すればよい。反対に周波数を高くしたい場合にはインピーダンス素子 200 としてキャパシタを用いればよい。あるいは、インピーダンス 200 は、これらのインダクタやキャパシタあるいは抵抗を任意に組み合わせて形成するようにしてもよい。

また、上述したインピーダンス素子 200 は、最も簡単にはインダクタ、キャパシタあるいは抵抗のチップ部品を用いることができる。また、図 5 に断面構造を示したように、インダクタ素子 100 A を構成する 2 つの導体 120、122 等を半導体基板 110 上に形成することを考慮すると、インピーダンス素子 200

0も半導体製造技術を用いて半導体基板110上に形成することが望ましい。例えば、高抵抗体を用いて抵抗を形成したり、所定の面積を有する2層の金属層を対向させてキャパシタを形成したり、所定形状の導体によってインダクタを形成する場合が考えられる。なお、インピーダンス素子200は単に終端用の素子として用いられるため、これをインダクタによって実現する場合であってもそれ程高いQは必要ない。このため、所定形状（例えば渦巻き形状）の導体を半導体基板110上に形成して構成されるインダクタをインピーダンス素子200として使用することも可能になる。

また、素子定数が外部からの制御手段によって変更可能なインピーダンス素子200を用いるようにしてもよい。図14は、導体122の内周端に可変容量ダイオード210を接続する場合の構成を示す図である。可変容量ダイオード210は、逆バイアスの状態で使用することにより所定のキャパシタンスを有するキャパシタとして動作し、逆バイアス電圧の大きさを可変することによってキャパシタンスが変更される。この可変容量ダイオード210は、直流成分除去用のキャパシタ212を介して導体122の内周端に接続されている。

図15は、図14に示した可変容量ダイオード210を半導体基板110上に形成した場合の断面構造を示す図である。図15に示すように、n型シリコン基板（n-Si基板）によって形成される半導体基板110の表面付近に形成されたp⁺領域220と、さらにその一部に形成されたn⁺領域222とを含んでおり、これらのp⁺領域220とn⁺領域222とがpn接合層を形成している。また、p⁺領域220の表面には接地用の電極230が形成されており、n⁺領域222の表面には可変の逆バイアス電圧を制御電圧V_cとして印加するための電極232が形成されている。電極232に正の制御電圧V_cを印加することにより、この制御電圧V_cの大きさに応じてキャパシタンスが変化する可変容量ダイオード210を形成することができる。

図16は、導体122の内周端にFET240による可変抵抗を接続する場合の構成を示す図である。図16に示すように、可変抵抗はFET240のチャネルを抵抗体として用いることにより容易に実現することができる。ゲート電極に印加する制御電圧V_cを変更することにより、ソースとドレイン間に形成される

チャネルの抵抗を変更することができる。また、FET 240は、半導体基板110の表面付近にソース領域やドレイン領域を形成するとともに、これらの各領域やその間のチャネルが形成される領域の近傍に所定形状の電極を形成することにより、半導体基板110上に容易に形成することができる。

このように、外部から印加される制御電圧 V_c に応じて素子定数が変更可能なインピーダンス素子を用いて導体122の一方の端部を終端することにより、終端条件を変更することができるため、インダクタ素子100Aに入出力される信号の周波数等が変更になった場合であっても、この変更に合わせて終端条件を調整することができ、特性の改善が可能になる。

なお、本発明は上記実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、図1に示したインダクタ素子100は、上層の導体120の内周端と下層の導体122の外周端とを互いに接続線134を介して接続するようにしたが、反対に上層の導体120の外周端と下層の導体122の内周端とを互いに接続するようにしてもよい。また、インダクタ素子のインダクタンスがある程度小さくなることを許容する場合には、導体120、122の各外周端同士、あるいは各内周端同士を接続するようにしてもよい。

また、上述した実施形態では、インダクタ素子100、100Aに含まれる2本の導体120、122を渦巻き形状に形成したため、大きなインダクタンスを有するインダクタ素子100、100Aを実現することができるが、2本の導体120、122を蛇行形状に形成するようにしてもよい（図17）。また、高周波回路の一部品としてこのインダクタ素子100、100Aを用いる場合には小さなインダクタンスで充分であるため、導体120、122のターン数を減らして1ターン未満に形成したり（図18）、ほぼ直線形状に形成するようにしてもよい（図19）。

また、上述した実施形態では、2つの導体120、122の形状をほぼ同じに設定したが、異なる形状に設定するようにしてもよい。例えば、下層の導体122のターン数を上層の導体120のターン数よりも多く設定するようにしてもよい。このように、上層の導体120の下側に下層の導体122の全部あるいは一部が配置されると、直接上層の導体120が半導体基板110と対向しなくなる

ため、上層の導体 120 による渦電流の発生を有効に防止することができる。

また、上述した実施形態では、半導体基板 110 上に 2 本の導体 120、122 を形成することによりインダクタ素子 100、100A を形成したが、金属等の導体基板上に 2 本の導体 120、122 を形成したインダクタ素子を実現することもできる。図 9 に示した実験結果から、この場合であってもインダクタ素子として有効に機能することが確かめられている。導体基板上に密着させてインダクタ素子 100、100A を形成することができれば、金属製のシールドケース等の表面にインダクタ素子 100、100A を配置することも可能になり、インダクタ素子の設置スペースの確保が容易となる。

また、上述した各実施形態のインダクタ素子 100、100A は、2 つの導体 120、122 の一方端同士を接続するために、引出線 130、132 とは別の接続線 134 を用いたが、図 20 に示すように、一方の引出線 132 の一部を用いて 2 つの導体 120、122 の一方端同士の接続を行うようにしてもよい。この場合には、接続線 134 が不要になるため、構造の簡略化が可能になるとともに、接続線 134 によって不要な磁束が発生したり、インダクタ導体によって発生する有効磁束を乱すことがなくなるため特性の改善が可能になる。

産業上の利用可能性

上述したように、本発明によれば、一方端同士が接続された 2 つの導体の中の基板から離間した側をインダクタ導体として用いるとともに、このインダクタ導体の引出線を基板に接近した他の導体と基板との間を通しており、インダクタ導体によって発生する有効磁束の流れを遮ることを最小限に抑えることができ、良好な特性を得ることができる。

また、本発明によれば、インダクタ導体によって発生する有効磁束によって他方の導体にも電流が流れるが、この他方の導体の自由端側の端部をインピーダンス素子で終端することにより、この部分での不要反射を防止して特性改善を行うことが可能になる。

請 求 の 範 囲

1. 互いに絶縁された状態で基板上に重ねて形成され、それぞれの一方端同士が接続された2つの導体を有し、前記基板から離間した一方の前記導体をインダクタ導体として用い、このインダクタ導体の引出線を前記基板に接近した他方の前記導体と前記基板との間を通した位置に配置することを特徴とするインダクタ素子。
2. 前記基板上に3層以上の金属層が形成されており、互いに1層以上隔たった異なる層の前記金属層を用いて、前記2つの導体および前記引出線のそれぞれを形成することを特徴とする請求の範囲第1項記載のインダクタ素子。
3. 前記引出線の一部を利用して、前記2つの導体の一方端同士の接続を行うことを特徴とする請求の範囲第1項記載のインダクタ素子。
4. 前記2つの導体は、ほぼ同一形状を有していることを特徴とする請求の範囲第1項記載のインダクタ素子。
5. 前記2つの導体は、長尺形状を有しており、それぞれの長手方向の一方端同士を接続することを特徴とする請求の範囲第1項記載のインダクタ素子。
6. 前記2つの導体は、周回数が1周未満の周回形状を有しており、それぞれの一方端同士を接続することを特徴とする請求の範囲第1項記載のインダクタ素子。
7. 前記2つの導体は、周回数が1周以上の渦巻き形状を有しており、それぞれの一方端同士を接続することを特徴とする請求の範囲第1項記載のインダクタ素子。
8. 前記2つの導体は、周回数が1周以上の渦巻き形状を有しており、それぞれの一方端同士を接続するとともに、前記インダクタ導体の内周側端部から引き出される前記引出線を前記他方の導体と前記基板の間を通すことを特徴とする請求の範囲第1項記載のインダクタ素子。
9. 前記2つの導体は、ほぼ直線形状に形成されており、それぞれの一方端同士を接続することを特徴とする請求の範囲第1項記載のインダクタ素子。
10. 前記2つの導体は、蛇行形状に形成されており、それぞれの一方端同士を接続することを特徴とする請求の範囲第1項記載のインダクタ素子。
11. 一方の前記導体の内周側端部と他方の前記導体の外周側端部とを接続する

ことを特徴とする請求の範囲第7項記載のインダクタ素子。

12. 前記インダクタ素子のインダクタンス成分と、前記2つの導体間のキャパシタンス成分とを有することを特徴とする請求の範囲第1項記載のインダクタ素子。

13. 互いに絶縁された状態で基板上に重ねて形成され、それぞれの一方端同士が接続された2つの導体を有し、前記基板から離間した一方の前記導体をインダクタ導体として用いるとともに、他方の前記導体の端部であって前記インダクタ導体に接続されていない側を所定のインピーダンス素子で終端することを特徴とするインダクタ素子。

14. 前記インピーダンス素子は、抵抗、キャパシタ、インダクタの少なくとも一つの素子定数を変更可能であり、前記素子定数を可変することにより終端条件を変更することを特徴とする請求の範囲第13項記載のインダクタ素子。

15. 前記基板は、半導体基板であり、

前記キャパシタを、前記半導体基板の内外に形成された半導体層を用いた可変容量ダイオードによって形成することを特徴とする請求の範囲第14項記載のインダクタ素子。

16. 前記基板は、半導体基板であり、

前記抵抗を、前記半導体基板の内外に形成された半導体層を用いたFETのチャネルによって形成することを特徴とする請求の範囲第14項記載のインダクタ素子。

17. 前記2つの導体は、ほぼ同一形状を有していることを特徴とする請求の範囲第13項記載のインダクタ素子。

18. 前記2つの導体は、長尺形状を有しており、それぞれの長手方向の一方端同士を接続することを特徴とする請求の範囲第13項記載のインダクタ素子。

19. 前記2つの導体は、周回数が1周未満の周回形状を有しており、それぞれの一方端同士を接続することを特徴とする請求の範囲第13項記載のインダクタ素子。

20. 前記2つの導体は、周回数が1周以上の渦巻き形状を有しており、それぞれの一方端同士を接続することを特徴とする請求の範囲第13項記載のインダク

タ素子。

21. 前記2つの導体は、ほぼ直線形状に形成されており、それぞれの一方端同士を接続することを特徴とする請求の範囲第13項記載のインダクタ素子。

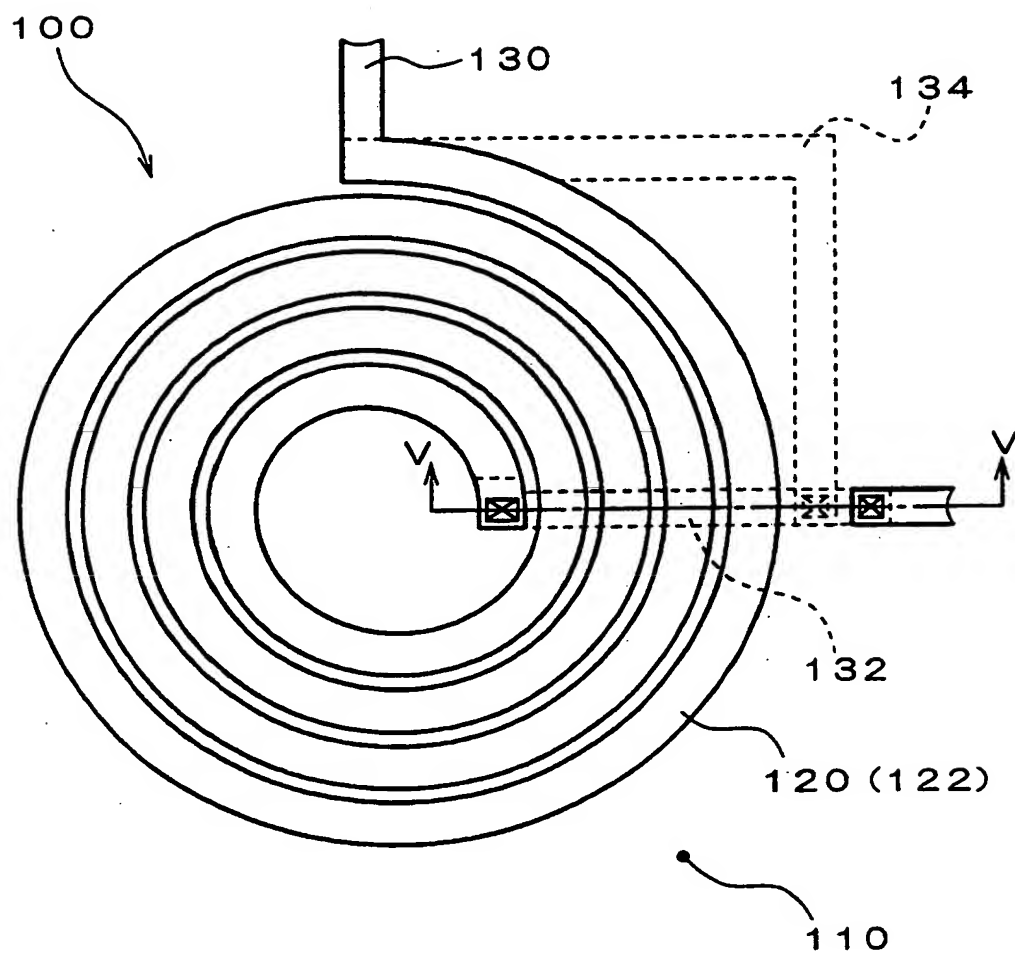
22. 前記2つの導体は、蛇行形状に形成されており、それぞれの一方端同士を接続することを特徴とする請求の範囲第13項記載のインダクタ素子。

23. 一方の前記導体の内周側端部と他方の前記導体の外周側端部とを接続することを特徴とする請求の範囲第20項記載のインダクタ素子。

24. 前記インダクタ素子のインダクタンス成分と、前記2つの導体間のキャパシタンス成分とを有することを特徴とする請求の範囲第13項記載のインダクタ素子。

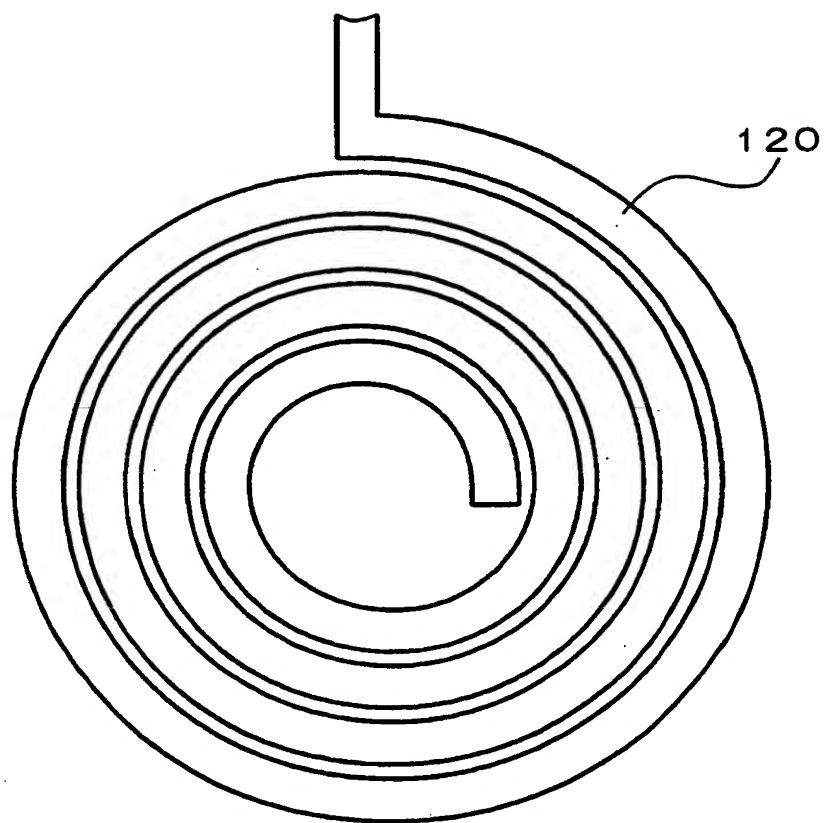
1/14

1



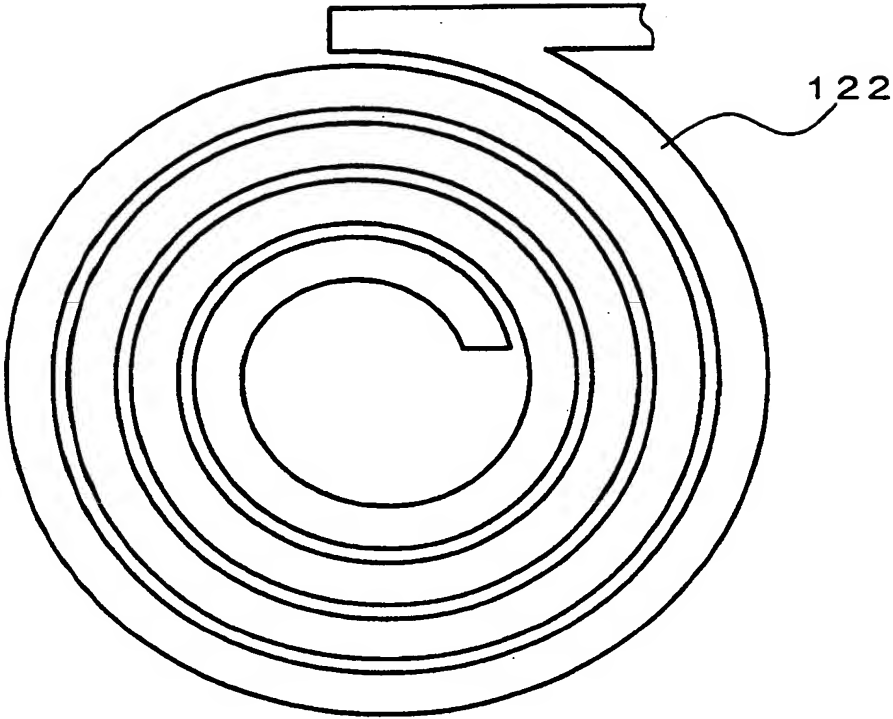
2/14

図2



3/14

3



4/14

図4

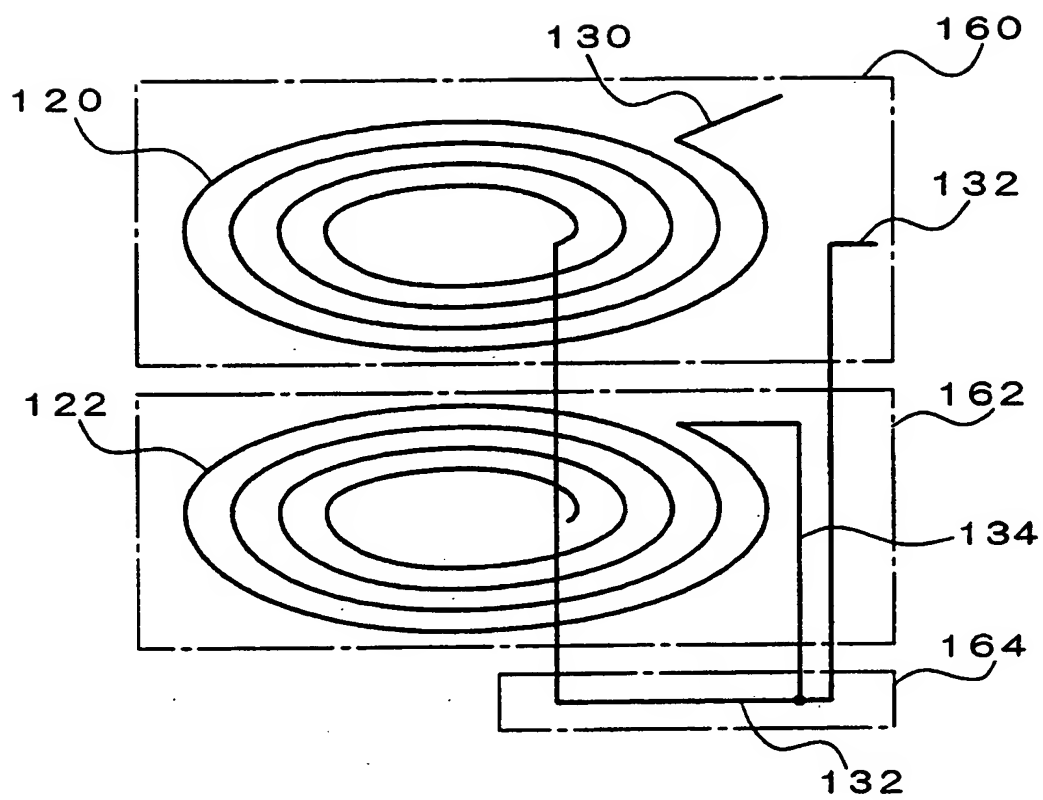
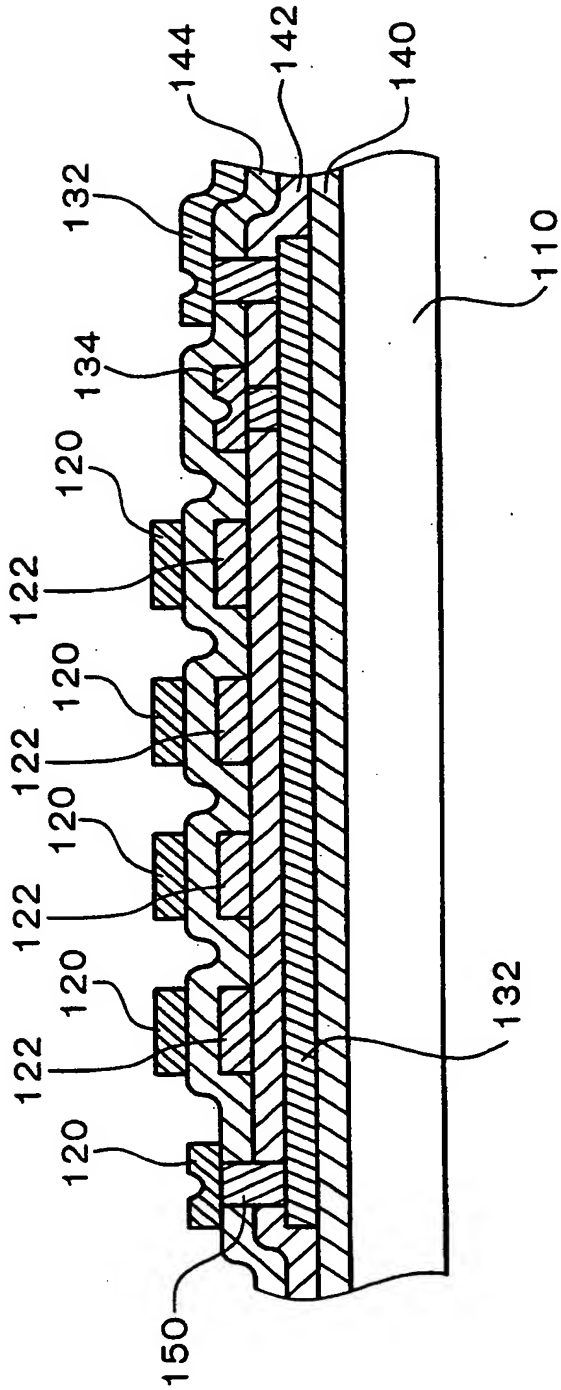


図5



6/14

図6

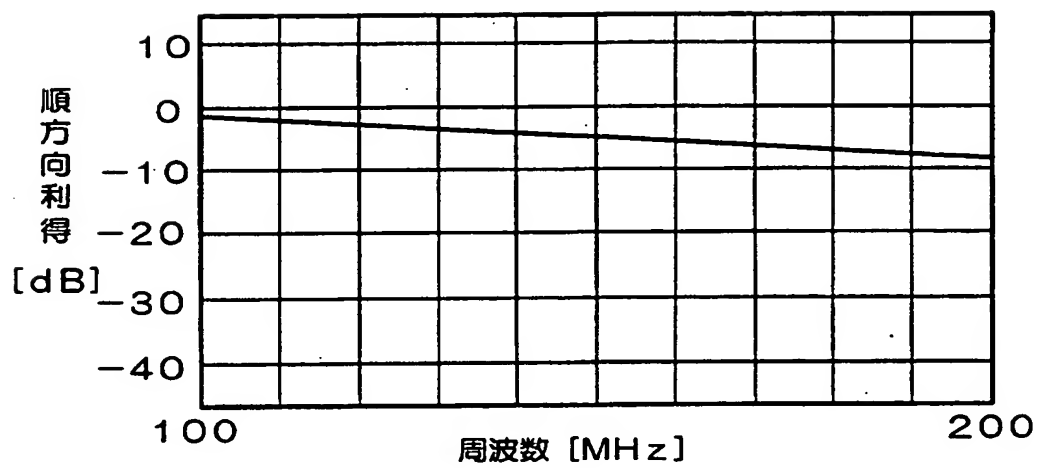
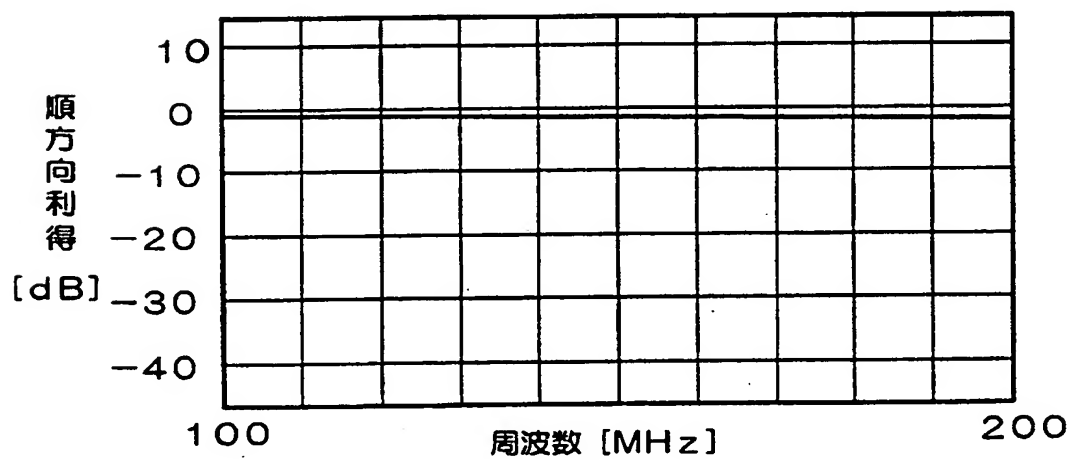


図7



7/14

図8

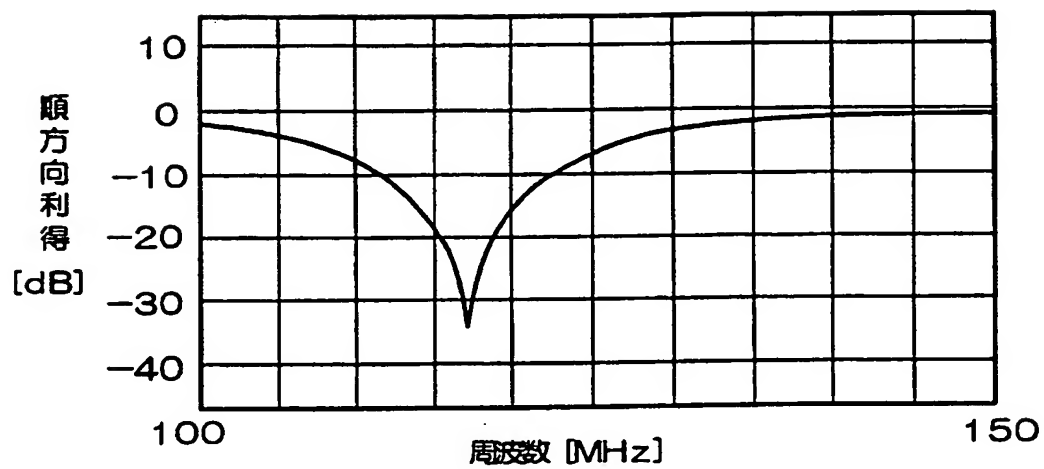
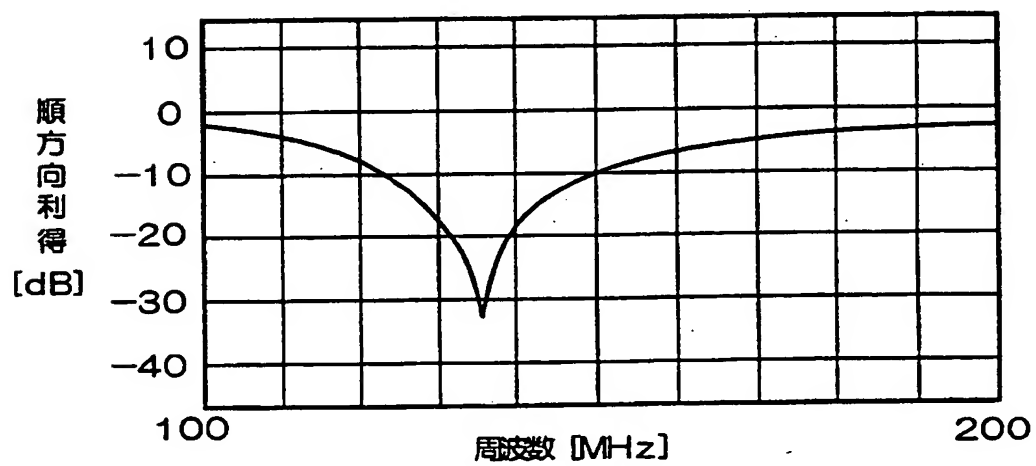
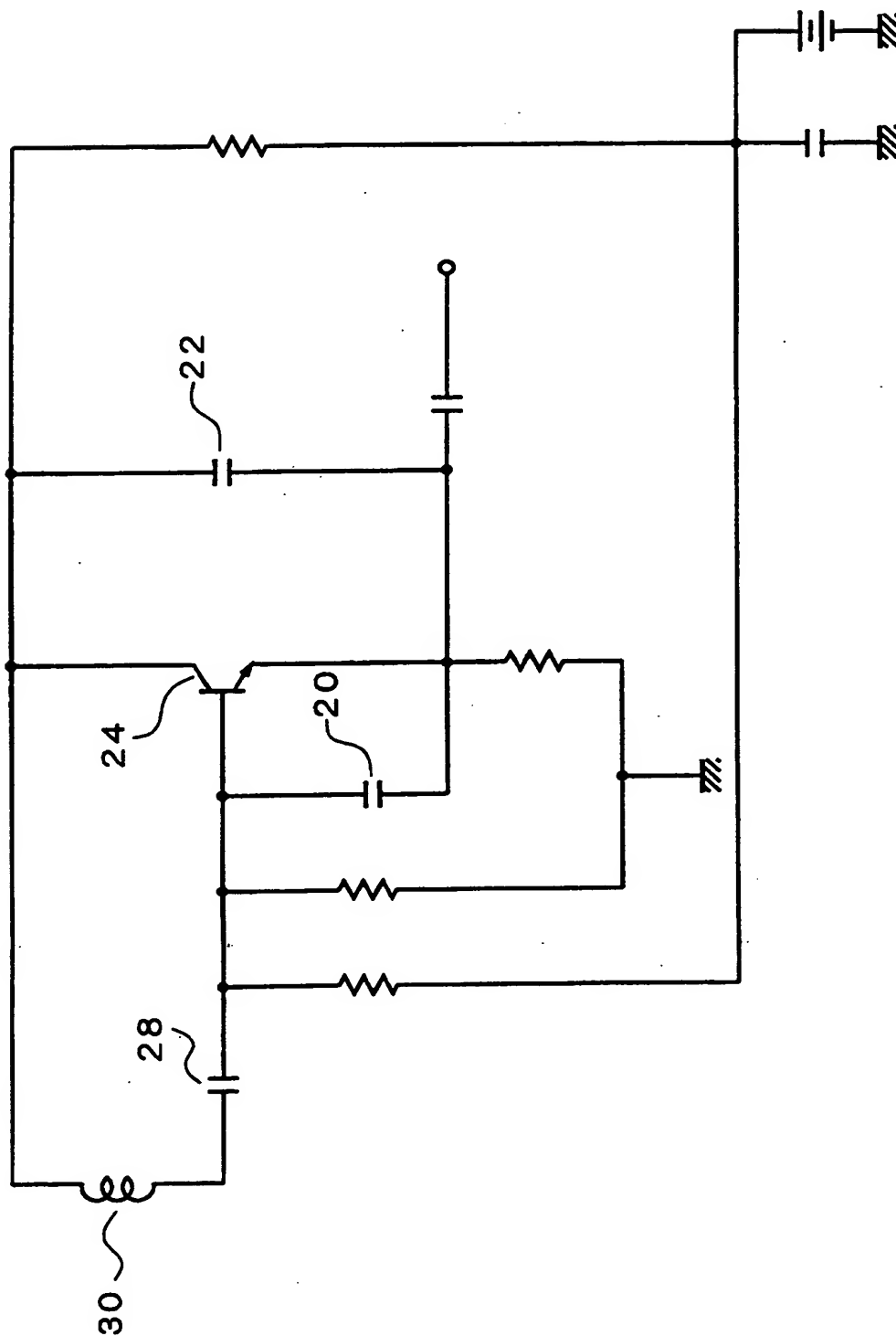


図9



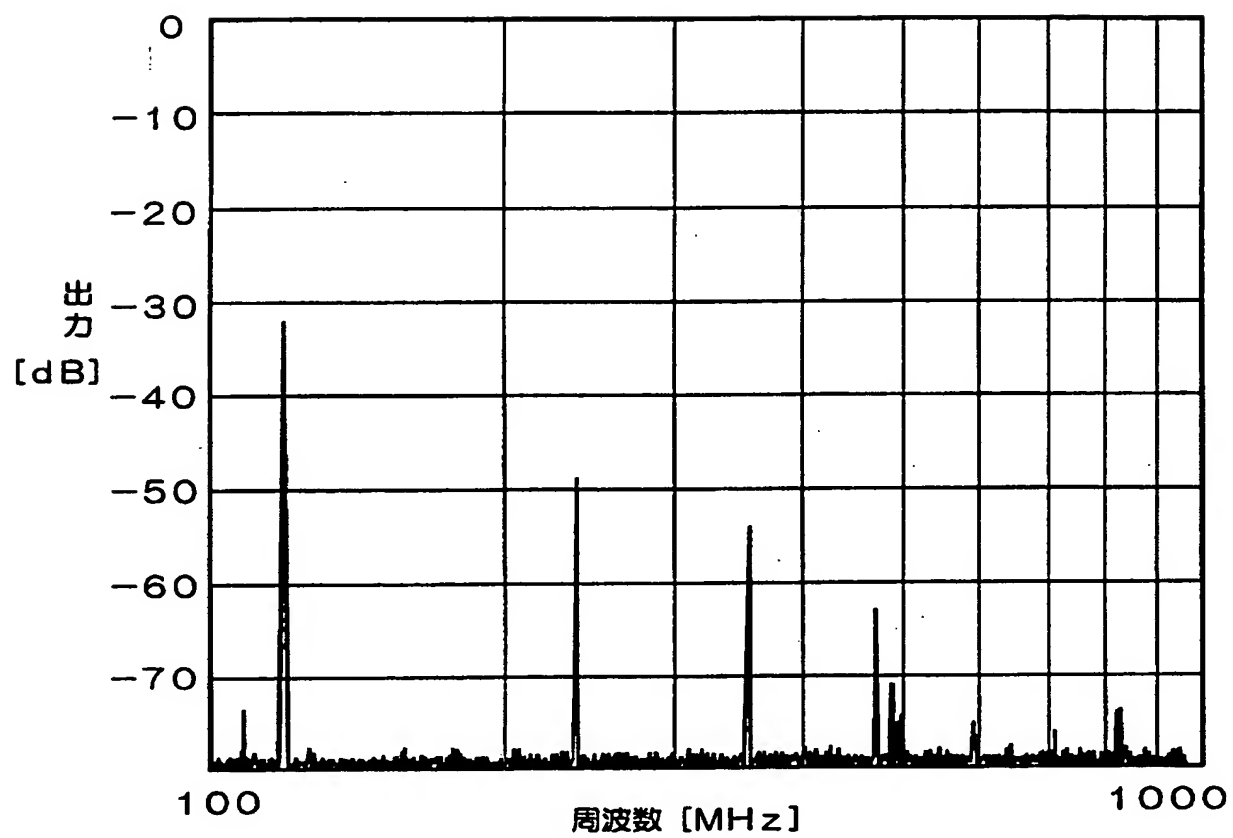
8/14

図10



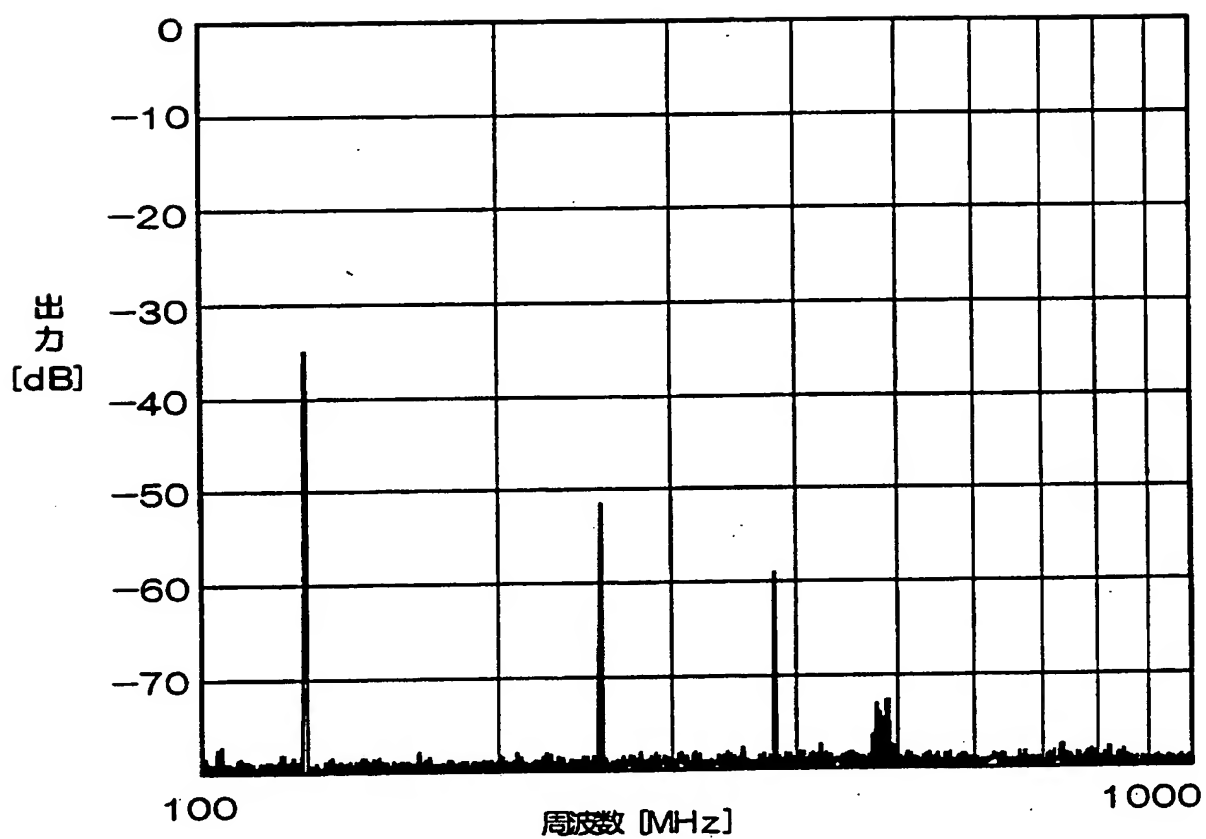
9/14

図11



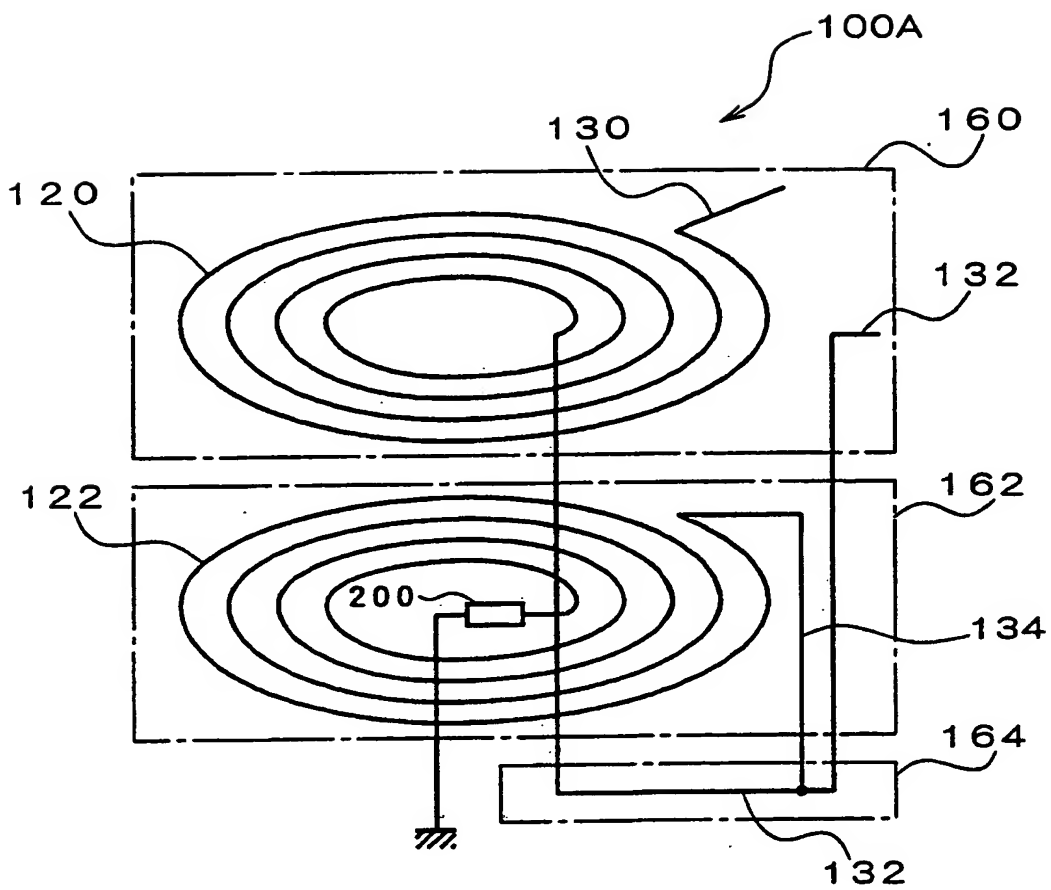
10/14

図12



11/14

図13



12/14

図 14

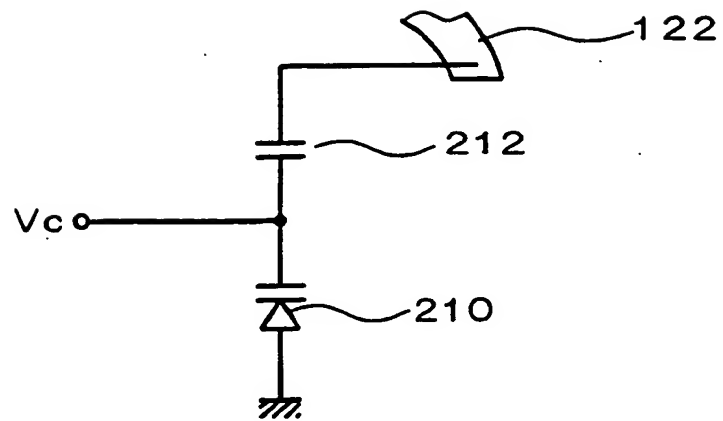


図 15

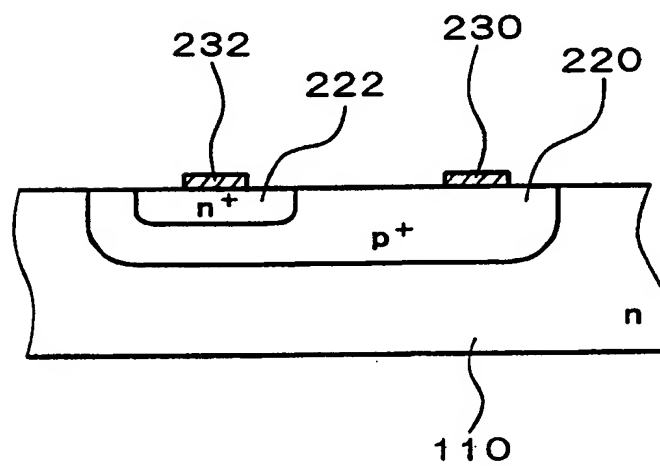
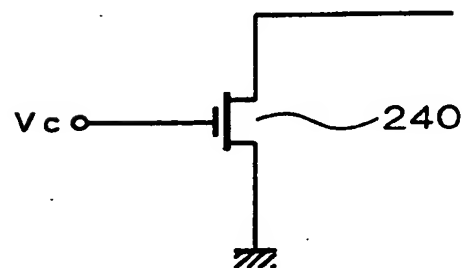


図 16



13/14

図17

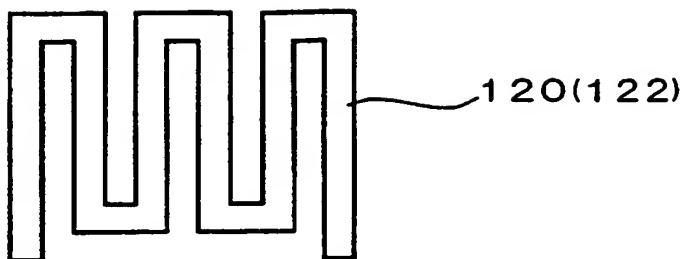


図18

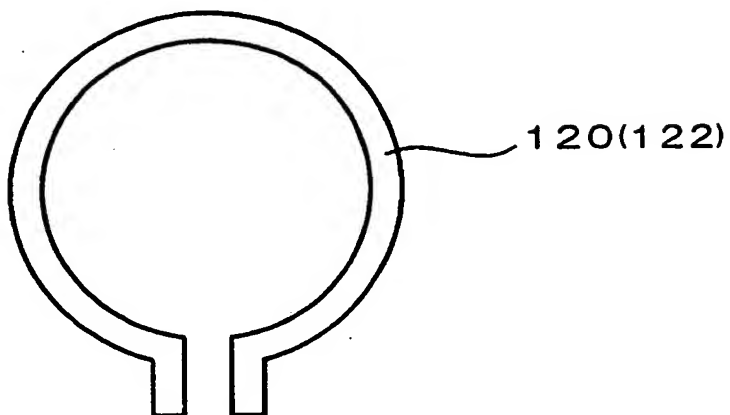
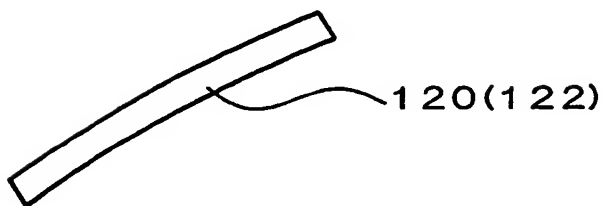
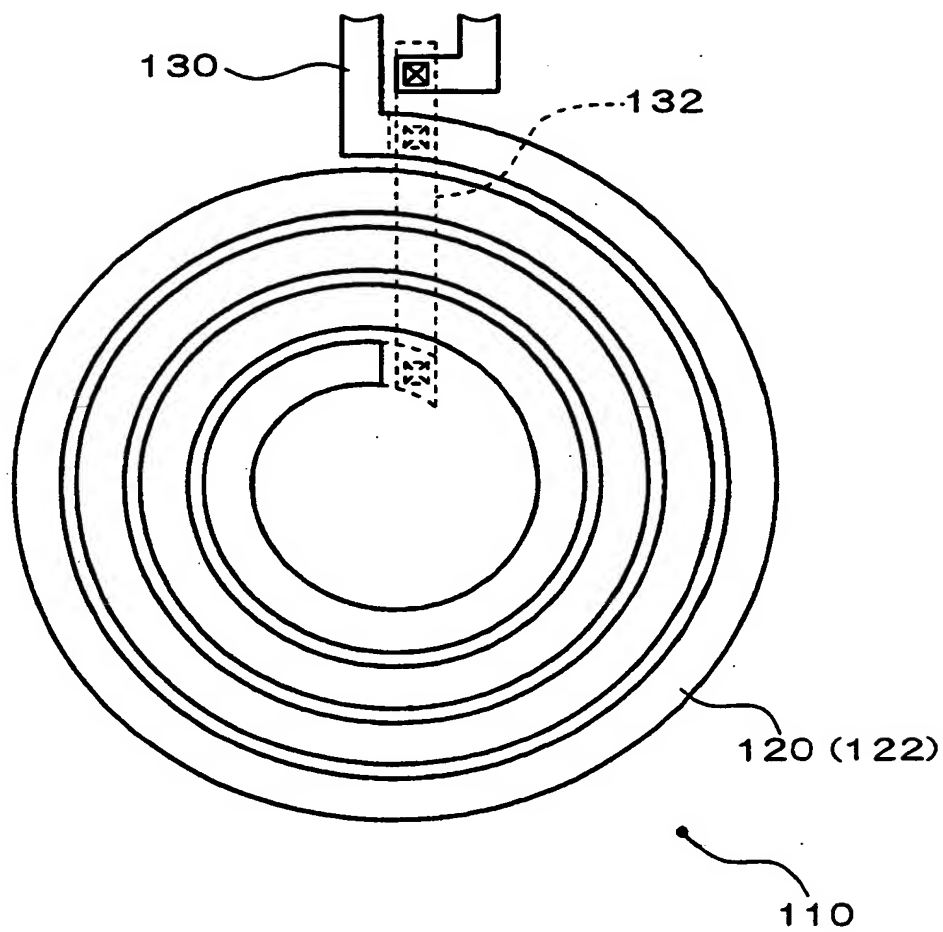


図19



14/14

図20



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/04493

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01F17/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01F17/00-17/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim N .
A	JP, 10-74624, A (Takeshi IKEDA), 17 March, 1998 (17.03.98), Full text; Figs.1-10 (Family: none)	1-24

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 October, 2000 (12.10.00)

Date of mailing of the international search report
24 October, 2000 (24.10.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

PCT

国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 NSP0242P	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/JP00/04493	国際出願日 (日.月.年) 06.07.00	優先日 (日.月.年) 07.07.99
出願人(氏名又は名称) 新潟精密株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl. H01F17/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl. H01F17/00-17/08

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2000年
 日本国登録実用新案公報 1994-2000年
 日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 10-74624, A (池田 毅) 17. 3月. 1998 (17. 03. 98) 全文, 第1-第10図 (ファミリーなし)	1-24

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

12. 10. 00

国際調査報告の発送日

24.10.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

藤井 浩

5R

8625

電話番号 03-3581-1101 内線 3565

P C T

国際予備審査報告

(法第12条、法施行規則第56条)
〔PCT36条及びPCT規則70〕

出願人又は代理人 の書類記号 NSP0242P	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ IPEA/416）を参照すること。	
国際出願番号 PCT/JP00/04493	国際出願日 (日.月.年) 06.07.00	優先日 (日.月.年) 07.07.99
国際特許分類 (IPC) Int. Cl ⁷ H01F17/00		
出願人 (氏名又は名称) 新潟精密株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
- ☐ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で ページである。
3. この国際予備審査報告は、次の内容を含む。
- I ☒ 国際予備審査報告の基礎
- II ☐ 優先権
- III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV ☐ 発明の単一性の欠如
- V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ☐ ある種の引用文献
- VII ☐ 国際出願の不備
- VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 20.11.00	国際予備審査報告を作成した日 14.08.01	
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 藤井 浩 電話番号 03-3581-1101 内線 3565	5 R 8625

様式PCT/IPEA/409 (表紙) (1998年7月)

Express Mail #EL778107013US

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☒ 出願時の国際出願書類

- ☐ 明細書 第 _____ ページ、 出願時に提出されたもの
 明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの
- ☐ 請求の範囲 第 _____ 項、 出願時に提出されたもの
 請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
 請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
 請求の範囲 第 _____ 項、 _____ 付の書簡と共に提出されたもの
- ☐ 図面 第 _____ ページ/図、 出願時に提出されたもの
 図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
 図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの
- ☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲	1-24	有
	請求の範囲		無
進歩性 (IS)	請求の範囲	1-24	有
	請求の範囲		無
産業上の利用可能性 (IA)	請求の範囲	1-24	有
	請求の範囲		無

2. 文献及び説明 (PCT規則70.7)

請求の範囲 1-12

文献1: JP 10-74624 A (池田 毅) 17. 3月. 1998 (17. 03. 98) 全文, 第1-10図

は、当該技術分野における一般的技術水準を示す文献であって、一方の導体であるインダクタ導体の引出線を基板に接近した他方の導体と基板との間を通した位置に配置する技術に関して、記載も示唆もされていない。

請求の範囲 13-24

当該技術分野における一般的技術水準を示す上記文献1には、他方の導体の端部であってインダクタ導体に接続されていない側を所定のインピーダンス端子で終端する技術に関して、記載も示唆もされていない。

PATENT COOPERATION TREATY

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Commissioner
US Department of Commerce
United States Patent and Trademark
Office, PCT
2011 South Clark Place Room
CP2/5C24
Arlington, VA 22202
ETATS-UNIS D'AMERIQUE
in its capacity as elected Office

Date of mailing: 18 January 2001 (18.01.01)	
International application No.: PCT/JP00/04493	Applicant's or agent's file reference: NSP0242P
International filing date: 06 July 2000 (06.07.00)	Priority date: 07 July 1999 (07.07.99)
Applicant: OKAMOTO, Akira et al	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International preliminary Examining Authority on:
20 November 2000 (20.11.00)

☐ in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was

☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer: J. Zahra Telephone No.: (41-22) 338.83.38
---	---